

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

07823888 ****Image available****

DEVICE, ITS MANUFACTURING METHOD AND ELECTRONIC DEVICE

PUB. NO.: **2003-318193** [JP 2003318193 A]

PUBLISHED: November 07, 2003 (20031107)

INVENTOR(s): YUDASAKA KAZUO

 FURUSAWA MASAHIRO

 AOKI TAKASHI

APPLICANT(s): SEIKO EPSON CORP

APPL. NO.: 2002-119967 [JP 2002119967]

FILED: April 22, 2002 (20020422)

INTL CLASS: H01L-021/336; G02F-001/1368; H01L-021/20; H01L-021/208;
 H01L-021/288; H01L-029/786

ABSTRACT

PROBLEM TO BE SOLVED: To provide such a device that has a structure hard to be shortcircuited between a gate area and a source/drain area in a device that is manufactured by using a liquid material.

SOLUTION: The device is provided with an insulation substrate (11), a gate electrode film (14) formed on the insulation substrate, a gate insulation film (15) formed on the gate electrode film, a semiconductor film (17) with a relatively low impurity concentration that is formed at a corresponding position with the gate electrode film on the gate insulation film, an isolation film (20) formed on the semiconductor film with low impurity concentration, and semiconductor films (24 and 25) with a relatively high impurity concentration that are respectively formed on both sides of the low impurity-concentration semiconductor film and the isolation film, and a film is formed on the semiconductor films (24 and 25) by using a liquid material.

COPYRIGHT: (C)2004,JPO

Family list

1 family member for:

JP2003318193

Derived from 1 application.

1 DEVICE, ITS MANUFACTURING METHOD AND ELECTRONIC DEVICE

Publication info: JP2003318193 A - 2003-11-07

Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-318193

(P 2 0 0 3 - 3 1 8 1 9 3 A)

(43) 公開日 平成15年11月7日 (2003.11.7)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
H01L 21/336		G02F 1/1368	2H092
G02F 1/1368		H01L 21/20	4M104
H01L 21/20		21/208	Z 5F052
21/208		21/288	Z 5F053
21/288		29/78	A 5F110
		618	
審査請求 未請求 請求項の数32 O L (全14頁) 最終頁に続く			

(21) 出願番号 特願2002-119967 (P 2002-119967)

(22) 出願日 平成14年4月22日 (2002.4.22)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 湯田坂 一夫

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 古沢 昌宏

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100079108

弁理士 稲葉 良幸 (外2名)

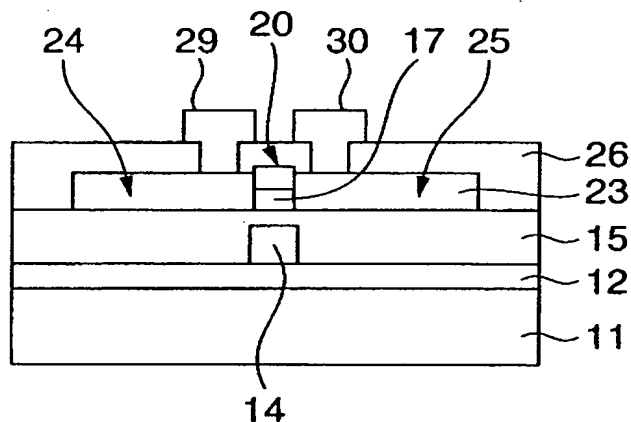
最終頁に続く

(54) 【発明の名称】 デバイス、その製造方法及び電子装置

(57) 【要約】

【課題】 液体材料を使用して製造されるデバイスにおいて、ゲート電極とソース/ドレイン領域との短絡が生じにくい構造を備えるデバイスを提供する。

【解決手段】 デバイスは、絶縁基板(11)と、この絶縁基板の上に形成されたゲート電極膜(14)と、ゲート電極膜の上に形成されたゲート絶縁膜(15)と、ゲート絶縁膜上のゲート電極膜に対応する位置に形成された相対的に低不純物濃度の半導体膜(17)と、低不純物濃度の半導体膜の上に形成された分離膜(20)と、低不純物濃度の半導体膜と分離膜の両側に夫々形成された相対的に高不純物濃度の半導体膜(24, 25)と、を含み、半導体膜(24, 25)を液体材料で成膜する。



【特許請求の範囲】

【請求項1】絶縁基板と、

前記絶縁基板の上に形成されたゲート電極膜と、
前記ゲート電極膜の上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上の前記ゲート電極膜に対応する位置
に形成された相対的に低不純物濃度の半導体膜と、
前記低不純物濃度の半導体膜の上に形成された分離膜
と、
前記低不純物濃度の半導体膜と前記分離膜の両側に夫々
形成された相対的に高不純物濃度の半導体膜と、
を含むデバイス。

【請求項2】前記分離膜は絶縁膜によって構成されて、
前記高不純物濃度の半導体膜同士を分離して直接的な電
氣的接続を阻止する請求項1記載のデバイス。

【請求項3】前記高不純物濃度の半導体膜は不純物と半
導体材料とを含む液体材料に熱処理を施して形成される
請求項1又は2記載のデバイス。

【請求項4】前記液体材料は光重合性を有するシラン化
合物の溶液に、紫外線を照射することにより光重合して
なる高次シランを含有する、請求項3記載のデバイス。

【請求項5】絶縁基板にゲート電極膜を形成するゲート
電極膜形成工程と、
前記絶縁基板及び前記ゲート電極膜上にゲート絶縁膜を
形成するゲート絶縁膜形成工程と、
前記絶縁膜上にトランジスタのソース領域、チャネル領
域及びドレイン領域となるべき半導体膜を形成する半導
体膜形成工程と、
前記半導体膜の前記チャネル領域上を覆うように分離膜
を形成する分離膜形成工程と、
前記半導体膜上の前記分離膜の両側に不純物材料と半導
体材料とを含む液体材料をそれぞれ塗布して塗布膜を形
成する塗布膜形成工程と、
前記分離膜の両側にそれぞれ形成された塗布膜に熱処理
を加えて前記半導体膜のソース領域及びドレイン領域を
形成するソース領域及びドレイン領域形成工程と、
前記ソース領域及び前記ドレイン領域にそれぞれソース
電極及びドレイン電極を形成する電極形成工程と、
を含むデバイスの製造方法。

【請求項6】絶縁基板にゲート電極膜を形成するゲート
電極膜形成工程と、
前記絶縁基板及び前記ゲート電極膜上にゲート絶縁膜を
形成するゲート絶縁膜形成工程と、
前記絶縁膜上にトランジスタのソース領域、チャネル領
域及びドレイン領域となるべき半導体膜を形成する半導
体膜形成工程と、
前記半導体膜の前記チャネル領域上を覆うように分離膜
を形成する分離膜形成工程と、
前記半導体膜上の前記分離膜の両側に不純物材料と半導
体材料とを含む液体材料をそれぞれ塗布して塗布膜を形
成する塗布膜形成工程と、

前記分離膜の両側にそれぞれ形成された塗布膜に熱処理
を加えて前記半導体膜のソース領域及びドレイン領域を
形成するソース領域及びドレイン領域形成工程と、
前記基板上に層間絶縁膜を形成する層間絶縁膜形成工程
と、
前記層間絶縁膜を貫通して前記ソース領域及び前記ドレ
イン領域とそれぞれ接続するソース電極及びドレイン電
極を形成する電極形成工程と、
を含むデバイスの製造方法。

10 【請求項7】前記ゲート電極膜形成工程は、金属等の導
電性材料を含有する液体材料を液滴吐出法によって前記
絶縁基板に塗布し、これに熱処理を加えることによって
前記ゲート電極膜を形成するものである、請求項5又は
6記載のデバイスの製造方法。

【請求項8】前記絶縁基板には、予め、前記ゲート電極
膜のパターンに対応して親液性の膜と撥液性の膜とを塗
り分けた下地処理がなされる、請求項5乃至7のいずれ
かに記載のデバイスの製造方法。

20 【請求項9】前記絶縁基板には、前記ゲート電極膜のパ
ターンに対応した溝が形成され、この溝に前記導電性材
料を含有する液体材料を塗布する、請求項5乃至7のい
ずれかに記載のデバイスの製造方法。

【請求項10】前記絶縁基板の溝はフォトリソ膜を
パターニングして形成される、請求項9記載のデバイスの
製造方法。

【請求項11】前記絶縁基板の溝は絶縁膜をパターニ
ングして形成される、請求項9記載のデバイスの製造方
法。

30 【請求項12】前記絶縁基板の溝は前記ゲート電極膜の
膜厚と略等しい深さに形成される、請求項11記載のデ
バイスの製造方法。

【請求項13】前記ゲート絶縁膜形成工程は、液体材料
を塗布して前記ゲート絶縁膜を形成するものである、請
求項5乃至12のいずれかに記載のデバイスの製造方
法。

【請求項14】前記液体材料はポリペルヒドロシラザン
を含む、請求項13記載のデバイスの製造方法。

40 【請求項15】前記半導体膜形成工程は、半導体材料を
含有する液体材料を塗布して、これに熱処理を加えるこ
とによって前記半導体膜を形成する、請求項5乃至14
のいずれかに記載のデバイスの製造方法。

【請求項16】前記液体材料は光重合性を有するシラン
化合物の溶液に、紫外線を照射することにより光重合し
てなる高次シランを含有する、請求項15記載のデバイ
ス。

【請求項17】前記半導体膜の液体材料を液滴吐出法で
塗布する請求項15又は16記載のデバイスの製造方
法。

50 【請求項18】前記ゲート絶縁膜上には、予め、前記ト
ランジスタの形成領域のパターンに対応して親液性の膜

と撥液性の膜とを塗り分けた下地処理がなされる、請求項 17 記載のデバイスの製造方法。

【請求項 19】前記ゲート絶縁膜上には、前記トランジスタの形成領域のパターンに対応した凹部が形成され、この凹部内に前記半導体膜の液体材料が塗布される、請求項 17 記載のデバイスの製造方法。

【請求項 20】前記ゲート絶縁膜上に形成される凹部は、レジスト膜又は絶縁膜をパターンニングして形成される、請求項 19 デバイスの製造方法。

【請求項 21】前記ゲート絶縁膜及び前記半導体膜を PECVD 法によって連続的に形成する、請求項 5 又は 6 記載のデバイスの製造方法。

【請求項 22】前記分離膜形成工程は、前記半導体膜を覆う分離用絶縁膜を形成する工程と、前記分離用絶縁膜上にフォトレジストを塗布する工程と、

前記絶縁基板の背面側から前記ゲート電極膜をマスクとして前記フォトレジストを露光し、現像する工程と、前記現像されたフォトレジストをマスクとして前記分離用絶縁膜をエッチングし、前記チャネル領域上を覆う分離膜を形成する工程と、を含む、請求項 5 又は 6 記載のデバイスの製造方法。

【請求項 23】前記分離膜は、前記分離用絶縁膜と前記フォトレジストとの積層膜によって形成される、請求項 21 記載のデバイスの製造方法。

【請求項 24】前記塗布膜形成工程の液体材料は、光重合性を有するシラン化合物の溶液に紫外線を照射することにより光重合してなる高次シランと比較的に高濃度の不純物を含む、請求項 5 乃至 23 のいずれかに記載のデバイスの製造方法。

【請求項 25】前記ソース領域及びドレイン領域形成工程の熱処理は第 1 の熱処理工程を含み、この第 1 の熱処理工程は、前記塗布膜に前記液体材料の溶媒の気化温度を超える熱を加えて、該塗布膜から溶媒を除去して固化する、請求項 5 乃至 24 のいずれかに記載のデバイスの製造方法。

【請求項 26】前記気化温度は、80～200℃のいずれかである、請求項 25 記載のデバイスの製造方法。

【請求項 27】上記ソース領域及びドレイン領域形成工程の熱処理は、更に、第 2 の熱処理工程を含み、この第 2 の熱処理工程は、上記固体化した各塗布膜が半導体膜として機能するように行われて導電性を有する不純物ドーブ半導体膜が形成される、請求項 25 又は 26 に記載のデバイスの製造方法。

【請求項 28】前記ソース領域及びドレイン領域形成工程の熱処理は、更に、第 3 の熱処理工程を含み、この第 3 の熱処理工程は、前記非晶質半導体膜に高温短時間の熱処理を施して多晶質半導体膜を形成すると共に、その下層の半導体膜に不純物を拡散して不純物ドーブ半導体膜を形成し、この不純物ドーブ半導体膜の抵抗値を低減

する、請求項 27 に記載のデバイスの製造方法。

【請求項 29】前記第 3 の熱処理工程の熱処理はレーザアニール又はラピッドサーマルアニールである、請求項 28 記載のデバイスの製造方法。

【請求項 30】前記ソース領域及びドレイン領域形成工程の第 3 の熱処理はレーザアニール又はラピッドサーマルアニールであり、当該レーザの照射エネルギーを制御することによって前記不純物ドーブ半導体膜の低抵抗化と同時に前記チャネル領域の半導体膜の結晶化を行う、請求項 5 乃至 23 のいずれかに記載のデバイスの製造方法。

【請求項 31】前記電極形成工程は、前記ソース電極及びドレイン電極を金属含有の液体材料を液滴吐出法によって塗布し、これに熱処理を加えることによって前記ソース電極及びドレイン電極を形成するものである、請求項 5 乃至 30 のいずれかに記載のデバイスの製造方法。

【請求項 32】請求項 1 乃至 4 のいずれかに記載されたデバイスを含む電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置、プラズマディスプレイ、有機 EL 表示装置などの電気光学装置や各種電子装置に使用されるデバイス及びその製造方法に関し、特に、液体材料を使用した薄膜デバイス及びその製造方法に関する。

【0002】

【従来の技術】薄膜デバイスは 1 つ又はそれ以上の薄膜トランジスタを含んでいる。薄膜トランジスタは、例えば、基板、半導体膜、ゲート電極、ソース電極、ドレイン電極、ゲート絶縁膜、層間絶縁膜、保護膜などを含んで構成されている。これ等の膜は、一般に、CVD 法やスパッタ法等によって材料を基板上に堆積することによって形成されている。更に、形成された半導体膜にゲートをマスクとする不純物イオンの打ち込みや不純物の熱拡散を行ってトランジスタのソース領域及びドレイン領域を形成している。

【0003】

【発明が解決しようとする課題】しかしながら、デバイスの製造過程において使用される CVD 法やスパッタ法、イオン注入法等は基板を真空雰囲気中やプラズマ雰囲気中で処理することを必要とし、処理装置が大がかりで高価であり、可燃性、毒性などを有する取り扱いの難しい材料ガスを使用する。また、熱拡散を使用するプロセスでは、不純物を固相拡散させるために基板を高温状態で数 10 分程度保持する必要がある、耐熱性の低いガラス基板等を使用する薄膜デバイスには好ましくない。

【0004】そこで、本発明は、可及的に大気圧雰囲気中でデバイスを製造することを可能とするデバイスの製造方法を提供することを目的とする。

【0005】また、本発明は、より取り扱いの容易な材

料を使用してデバイスを製造することを可能とするデバイスの製造方法を提供することを目的とする。

【0006】また、本発明は、材料の使用効率を高めて未使用材料の排出を減らし、後工程における中和処理負担の少ない（あるいは環境負荷の小さい）デバイスの製造方法を提供することを目的とする。

【0007】また、本発明は、上記のような目的の製造プロセスであってもよりチャネル幅の狭いデバイスを製造することを可能とするデバイスの製造方法を提供することを目的とする。

【0008】また、本発明は、液体材料を使用するデバイスの製造方法において、ゲート電極とソース・ドレイン領域との短絡が生じにくい製造方法を提供することを目的とする。

【0009】また、本発明は、液体材料を使用して製造されるデバイスにおいて、ゲート電極とソース・ドレイン領域との短絡が生じにくい構造を備えるデバイスを提供することを目的とする。

【0010】

【課題を解決するための手段】上記目的を達成するため本発明のデバイスは、絶縁基板と、上記絶縁基板の上に形成されたゲート電極膜と、上記ゲート電極膜の上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上の上記ゲート電極膜に対応する位置に形成された相対的に低不純物濃度の半導体膜（真性半導体膜であっても良い）と、上記低不純物濃度の半導体膜の上に形成された分離膜と、上記低不純物濃度の半導体膜と上記分離膜の両側に夫々形成された相対的に高不純物濃度の半導体膜（例えば、ソース領域／ドレイン領域）と、を含む。なお、上記低不純物濃度の半導体膜は真性半導体膜であっても良い。

【0011】かかる構成とすることによってチャネル幅の狭いトランジスタを形成することが容易となる。また、高不純物濃度の半導体膜を液体材料を使用して成膜するときに、分離膜の両側に液体材料を塗布することで当該高不純物濃度半導体膜の位置が自己整合的に定まるので好都合である。

【0012】好ましくは、上記分離膜は絶縁膜によって構成され、上記高不純物濃度の半導体膜同士を分離して直接的な電氣的接続を阻止する。それにより、液体材料を使用する半導体膜の成膜が容易となり、成膜の際に短絡も生じ難い。

【0013】好ましくは、上記高不純物濃度の半導体膜は不純物と半導体材料とを含む液体材料に熱処理を施して形成される。

【0014】好ましくは、上記液体材料は光重合性を有するシラン化合物の溶液に、紫外線を照射することにより光重合してなる高次シランを含む。例えば、環状構造を持つシクロペンタシラン Si_5H_8 は UV（紫外線）の照射によって容易に光重合反応が起こり、より高

次のシラン化合物となる。例えば、分子量 1800 程度のもので生成されることが確認された。これは、直鎖の $\text{Si}_n\text{H}_{2n+2}$ の分子量 182 と比べても非常に大きい。高次シランの溶液は、基板への濡れ性を示し、非常に綺麗に基板への塗布を行うことができる。また、高次シランでは分子量が高いほど、反応性が下がるため、より取り扱いが安全である。高次シランはその沸点がその分解点よりも高い。沸点が高い高次シランは、加熱焼成の際においてもシリコン膜を形成する前に蒸発してしまうという問題が生じない。また、沸点が高いことによって、プロセスの昇温速度を緩やかにしたり、減圧しながら比較的低温で加熱する等のプロセスが許容されるようになる。これは、シリコン同士の結合速度を制御するだけでなく、「シリコン膜を形成するほどの高温ではないが、溶媒の沸点よりは高い温度を維持する」ことによってシリコン膜中からシリコンの特性劣化の原因となる溶媒を効率よく減らすことを可能として具合がよい。なお、環状構造を持つシラン化合物、例えば、上述のシクロペンタシラン Si_5H_8 の他に、環状のシラン化合物 Si_nH_{2n} （ただし、 $N > 3$ ）、2 つ以上の環を持つシラン化合物 $\text{Si}_n\text{H}_{2n-2}$ （ただし、 $n > 4$ ）、その他、最低一つは環状構造を持つ水素化硅素及びそのハロゲン置換体も適用可能と考えられる。

【0015】本発明のデバイスの製造方法は、絶縁基板にゲート電極膜を形成するゲート電極膜形成工程と、上記絶縁基板及び上記ゲート電極膜上にゲート絶縁膜を形成するゲート絶縁膜形成工程と、上記絶縁膜上にトランジスタのソース領域、チャネル領域及びドレイン領域となるべき半導体膜を形成する半導体膜形成工程と、上記半導体膜の上記チャネル領域上を覆うように分離膜を形成する分離膜形成工程と、上記半導体膜上の上記分離膜の両側に不純物材料と半導体材料とを含む液体材料をそれぞれ塗布して塗布膜を形成する塗布膜形成工程と、上記分離膜の両側にそれぞれ形成された塗布膜に熱処理を加えて上記半導体膜のソース領域及びドレイン領域を形成するソース領域及びドレイン領域形成工程と、上記ソース領域及び前記ドレイン領域にそれぞれソース電極及びドレイン電極を形成する電極形成工程と、を含む。

【0016】また、本発明のデバイスの製造方法は、絶縁基板にゲート電極膜を形成するゲート電極膜形成工程と、上記絶縁基板及び上記ゲート電極膜上にゲート絶縁膜を形成するゲート絶縁膜形成工程と、上記絶縁膜上にトランジスタのソース領域、チャネル領域及びドレイン領域となるべき半導体膜を形成する半導体膜形成工程と、上記半導体膜の上記チャネル領域上を覆うように分離膜を形成する分離膜形成工程と、上記半導体膜上の上記分離膜の両側に不純物材料と半導体材料とを含む液体材料をそれぞれ塗布して塗布膜を形成する塗布膜形成工程と、上記分離膜の両側にそれぞれ形成された塗布膜に熱処理を加えて不純物ドーパ半導体膜を形成して、上記

10

20

30

40

50

半導体膜のソース領域及びドレイン領域を形成するソース領域及びドレイン領域形成工程と、上記基板上に層間絶縁膜を形成する層間絶縁膜形成工程と、上記層間絶縁膜を貫通して上記ソース領域及び上記ドレイン領域とそれぞれ接続するソース電極及びドレイン電極を形成する電極形成工程と、を含む。

【0017】かかる構成とすることによって、チャネル幅の狭いトランジスタを形成することが容易となる。また、高不純物濃度の半導体膜を液体材料を使用して成膜するときに、分離膜の両側に液体材料を塗布することで、当該高不純物濃度半導体膜の位置がチャネル領域の両側に自己整合的に定まるので好都合である。

【0018】好ましくは、上記ゲート電極膜形成工程は、導電材料を含有する液体材料を液滴吐出法によって上記絶縁基板に塗布し、これに熱処理を加えることによって上記ゲート電極膜を形成する。それにより、スパッタ装置を使用せずに導電膜を形成することが可能となる。導電材料としては、リン、ボロン等の不純物を高濃度で含むシリコン材料（例えば、シクロペンタシランのベンゼン溶液にリン又はホウ素を含有する物資を添加したもの）、銀、金、銅、インジウム、錫などの金属微粒子の懸濁液等を使用可能である。

【0019】好ましくは、上記絶縁基板には、予め、上記ゲート電極膜のパターンに対応して親液性の膜と撥液性の膜とを塗り分けた下地処理がなされる。それにより、液滴吐出法による液体材料の塗布膜（パターニング）をより確実に形成する。

【0020】好ましくは、上記絶縁基板には、上記ゲート電極膜のパターンに対応した溝が形成され、この溝内に上記金属含有の液体材料を塗布する。それにより、基板に形成した溝をバンク（隔壁、堰あるいは土手）として液滴吐出法による液体材料の塗布膜（パターニング）をより確実に形成する。

【0021】好ましくは、上記絶縁基板の溝はフォトレジスト膜をパターニングして形成される。それにより、液体材料による塗布膜の形成後にバンクとなった膜を除去することを容易に可能とする。

【0022】好ましくは、上記絶縁基板の溝は絶縁膜をパターニングして形成される。

【0023】好ましくは、上記絶縁基板の溝は上記ゲート電極膜の膜厚と略等しい深さに形成される。それにより、ゲート電極膜を絶縁基板と面一（平坦）に形成し、ゲート電極を突起させないことによって、後の成膜プロセスを容易にする。

【0024】好ましくは、上記ゲート絶縁膜形成工程は、液体材料を塗布して上記ゲート絶縁膜を形成するものである。絶縁膜の液体材料としては、例えば、ポリペルヒドロシラザン（以下、「ポリシラザン」と略称する。）を含む。ポリシラザンに酸素含有の雰囲気下で熱処理を加えると、シリコン酸化膜が得られる。

【0025】好ましくは、上記半導体膜形成工程は、半導体材料を含有する液体材料を塗布して、これに熱処理を加えることによって半導体膜を形成する。この半導体膜の液体材料は光重合性を有するシラン化合物の溶液に、紫外線を照射することにより光重合してなる高次シランを含有する。上述したように、例えば、シクロペンタシランに紫外線を照射して高次シランとする。高次シランは上述のように分子量が大きく、塗布性が良い。また、固化、溶剤の除去、焼成の各処理温度が液体材料プロセスに向いている。

【0026】好ましくは、上記半導体膜の液体材料を液滴吐出法で塗布する。

【0027】好ましくは、上記ゲート絶縁膜上には、予め、上記トランジスタの形成領域のパターンに対応して親液性の膜と撥液性の膜とを塗り分けた下地処理がなされる。それにより、塗布膜をより確実に形成することが可能となる。

【0028】好ましくは、上記ゲート絶縁膜上には、上記トランジスタの形成領域のパターンに対応した凹部が形成され、この凹部内に前記半導体膜の液体材料が塗布される。それにより、塗布膜をより確実に形成することが可能となる。

【0029】好ましくは、上記ゲート絶縁膜上に形成される凹部は、レジスト膜又は絶縁膜をパターニングして形成される。それにより、当該凹部を素子形成領域を画定するバンクとして使用することが出来る。

【0030】好ましくは、上記ゲート絶縁膜及び上記半導体膜をPECVD法によって連続的に形成する。それにより、ゲート絶縁膜とシリコン膜との界面の性能を向上させることが可能となる。

【0031】好ましくは、上記分離膜形成工程は、上記半導体膜を覆う分離用絶縁膜を形成する工程と、上記分離用絶縁膜上にフォトレジストを塗布する工程と、上記絶縁基板の背面側から上記ゲート電極膜をマスクとして前記フォトレジストを露光し、現像する工程と、上記現像されたフォトレジストをマスクとして上記分離用絶縁膜をエッチングし、上記チャネル領域上を覆う分離膜を形成する工程と、を含む。それにより、ゲート電極膜をマスクとして利用してチャネル上に分離膜を形成することが出来る。

【0032】好ましくは、上記分離膜は、上記分離用絶縁膜と上記フォトレジストとの積層膜によって形成される。それにより、分離膜の高さを高くして不純物ドーパント半導体膜の膜厚を大きく設定でき、分離膜の左右で不純物半導体膜を確実に分離することが出来る。

【0033】好ましくは、上記塗布膜形成工程の液体材料は、光重合性を有するシラン化合物の溶液に紫外線を照射することにより光重合してなる高次シランと比較的に高濃度の不純物とを含む。

【0034】好ましくは、上記ソース領域及びドレイン

領域形成工程の熱処理は第 1 の熱処理工程を含み、この第 1 の熱処理工程は、上記塗布膜に上記液体材料の溶媒の気化温度を超える熱を加えて、該塗布膜から溶媒を除去して固体化する。気化温度は溶媒によって異なるが、通常、80～200℃である。ポリイミドのように、これよりも高い気化温度のものもある。第 1 の熱処理で上記塗布膜から溶媒を除去して塗布膜を固化し、上記フォトレジスト膜を残さない場合には、この後で除去する。

【0035】好ましくは、上記ソース領域及びドレイン領域形成工程の熱処理は、更に、第 2 の熱処理工程を含み、この第 2 の熱処理工程は、上記固体化した各塗布膜が半導体膜として機能するように行われ、導電性を有する不純物ドーパント半導体膜が形成される。また、熱処理条件によっては、該半導体膜が結晶化されたり、その下層の半導体膜に不純物が拡散し、不純物ドーパント半導体膜の抵抗値をより低減することができる。第 1、第 2 の熱処理は連続的に行ってもよい。

【0036】好ましくは、上記ソース領域及びドレイン領域形成工程の熱処理は、更に、第 3 の熱処理工程を含み、この第 3 の熱処理工程は、上記非晶質半導体膜に高温短時間の熱処理を施して多晶質半導体膜を形成すると共に、その下層の半導体膜に不純物を拡散して不純物ドーパント半導体膜を形成し、この不純物ドーパント半導体膜の抵抗値を低減する。第 1、第 2 及び第 3 の熱処理は、連続的に行っても良く、第 2 及び第 3 の熱処理を連続的に行っても良い。また、第 2 の熱処理を省略して第 3 の熱処理だけを行っても良い。第 3 の熱処理工程の熱処理は、例えば、高温短時間のレーザアニールや急速急冷を行えるラピッドサーマルアニールである。

【0037】好ましくは、上記ソース領域及びドレイン領域形成工程の第 3 の熱処理はレーザアニール又はラピッドサーマルアニール (RTA) であり、上記固体化した各塗布膜からその下層の半導体膜に不純物を拡散して上記不純物ドーパント半導体膜を形成すると共に、この不純物ドーパント半導体膜の抵抗値を低減する。

【0038】好ましくは、上記ソース領域及びドレイン領域形成工程の第 3 の熱処理はレーザアニール又はラピッドサーマルアニールであり、当該レーザの照射エネルギーを制御することによって上記不純物ドーパント半導体膜の低抵抗化と同時に前記チャンネル領域の半導体膜の結晶化を行う。

【0039】好ましくは、上記電極形成工程は、上記ソース電極及びドレイン電極を金属含有の液体材料を液滴吐出法によって塗布し、これに熱処理を加えることによって上記ソース電極及びドレイン電極を形成するものである。

【0040】上述したデバイスは液晶表示器、有機 EL 表示器等の電気光学装置の駆動素子として使用可能であり、これ等の電気光学装置を含む電子装置やその他の電子装置にも適用可能である。

【0041】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しつつ説明する。なお、本発明において、液滴吐出法とは、液滴を所望の領域に吐出することにより、被吐出物を含む所望パターンを形成する方法であり、インクジェット法と呼ぶこともある。ただし、この場合、吐出する液滴は印刷物に用いられる所謂インクではなく、デバイスを構成する材料物質を含む液状体である。この材料物質は、例えば、デバイスを構成する導電物質又は絶縁物質として機能し得る物質を含むものである。更に、液滴吐出法とは、吐出時に噴霧されるものに限らず、液状体の 1 滴 1 滴が連続するように吐出される場合も含む。

【0042】図 1 は、本発明のデバイスの構成例を示している。同図には、デバイスである薄膜トランジスタが示されており、ガラスなどの絶縁基板 11 の上に下地保護膜 12 が形成され、この上にゲート電極膜 14 が形成されている。ゲート電極膜 14 の上にゲート絶縁膜 15 を介してソース領域 24、チャンネル領域 17、ドレイン領域 25 が形成されている。チャンネル領域 17 はソース領域 24 及びチャンネル領域 17 に挟まれており、チャンネル領域 17 の上部には、分離膜 20 が配置されている。分離膜はシリコン酸化膜などの絶縁膜によって構成されている。ソース領域 24、分離膜 20、ドレイン領域 25 は層間絶縁膜 26 によって被覆されている。ソース領域 24 上及びドレイン領域 25 上の層間絶縁膜 26 には、コンタクトホールが開口され、それぞれコンタクトプラグ 29 及び 30 が設けられている。

【0043】また、図 10 は、本発明のデバイスの他の構成例を示しており、図 1 と対応する部分には、同一符号を付している。この構成例では、層間絶縁膜を形成していない。

【0044】かかる構成においては、半導体膜 (24、17、25) の下部にゲート電極膜 14 が位置しており、ソース領域及びドレイン領域間に介在する分離膜 20 がその下部に位置するチャンネルの幅を実質的に決定する。従って、半導体膜上に分離膜 20 を形成した後にソース領域 24 及びドレイン領域 25 を形成することによって、チャンネル幅を狭く設計した薄膜トランジスタを容易に得ることが可能となる。後述するように、このような構造は液体材料を塗布してソース領域 24 及びドレイン領域 25 を形成する場合に自己整合的にソース領域 24 及びドレイン領域 25 の位置及び相互の間隔 (チャンネル幅) を決定することができて具合がよい。また、ゲート絶縁膜 15 及び分離膜 20 がゲート電極膜 14、ソース領域 24 及びドレイン領域 25 相互間の位置関係を画定しており、それ等相互間の短絡も生じにくい。

【0045】次に、上述したデバイスの製造方法について図 2 乃至図 5 に示す工程図を参照して説明する。

【0046】図 2 (a) において、珪酸ガラスなどの

ガラス基板11に保護膜として下地絶縁膜12を形成する。下地絶縁膜12は、例えば、シリコン酸化膜である。シリコン酸化膜は、例えば、ポリシラザンの溶液をスピンコートによって基板11に塗布し、塗布膜を形成する。この塗布膜を80℃で加熱して溶剤を除去して固化し、次に、350℃で酸素を含む雰囲気下で熱処理を行って焼成し、シリコン酸化膜を得ることができる。

【0047】図2(b)に示すように、この下地絶縁膜12の上にフォトレジスト13を形成し、薄膜トランジスタのゲート電極膜となるべき部分を開口する。フォトレジスト13はスピンコートによって下地絶縁膜13上に塗布され、バークされる。このフォトレジスト13に図示しないゲート電極配線のマスクによって露光、現像を行ってゲート電極部分を開口する。

【0048】このフォトレジスト13の開口部分にゲート電極膜14を形成する。ゲート電極膜14の形成は、ドーパシリコンや金属微粒子を含む液体材料を、例えば、液滴吐出法によってフォトレジスト13の開口部内に吐出し、塗布膜を形成し、焼成して得ることができる。金属微粒子としては、銀、金、アルミニウム、インジウム、錫等が使用可能である。例えば、銀微粒子を含む塗布膜を80℃の熱処理によって溶剤を除去して固化する。

【0049】その後、図2(c)に示すように、フォトレジスト13を除去し、更に300℃の熱処理によってゲート電極膜14を焼成する。なお、熱処理の温度及び処理時間は材料に応じて適宜に選択する。

【0050】図3(a)に示すように、絶縁膜12及びゲート電極膜14の上にゲート絶縁膜15を形成する。ゲート絶縁膜15は、例えば、シリコン酸化膜である。シリコン酸化膜は、例えば、ポリシラザンの溶液をスピンコートによって基板11に塗布し、塗布膜を形成する。この塗布膜を、例えば、80℃で加熱して溶剤を除去して固化し、次に、例えば、350℃で酸素を含む雰囲気下で熱処理を行って焼成し、シリコン酸化膜を得ることができる。

【0051】このゲート絶縁膜の上にフォトレジスト16によってトランジスタ領域を開口するバンク膜を形成する。フォトレジスト16はスピンコートによってゲート絶縁膜15上に塗布され、バークされる。このフォトレジスト16に図示しない素子形成領域のマスクによって露光、現像を行ってトランジスタ領域部分を開口する。

【0052】このフォトレジスト16をバンク(壁)として開口部16a内に半導体の液体材料を塗布し、焼成して半導体膜17を形成する。半導体膜17は、例えば、シリコン膜である。シリコン膜の形成は、例えば、光重合性を有するシクロペンタシラン(Si₅H₈)、シクロヘキサシラン、シクロヘプタシラン等のシラン化合物を微量の不純物と共にヘキサン等の溶

媒に溶解した溶液に、例えば、波長250nm以上の紫外線を照射して高次シランとする。ここで、不純物は必要により添加されるが、それにより後に形成される薄膜トランジスタの閾値V_{th}が調整される。不純物は、例えば、リン又はホウ素(周期表の第3B属元素又は第5B属の元素)を含有する物質である。

【0053】この紫外線を照射した溶液を、例えば、インジェット法によってフォトレジスト16の開口部16a内の絶縁膜15上に塗布し、塗布膜を形成する。インジェット法を用いると直接パターンニングすることができて都合がよいが、スピンコート法、ロールコート法、スプレー法等の他の塗布方法を使用することも出来る。この塗布膜を100~200℃の温度、例えば、100℃にて熱処理を行い、溶剤を除去して固化する。

【0054】その後、図3(b)に示すように、フォトレジスト16を除去する。更に塗布膜に、300~550℃の温度、例えば、400℃で熱処理を施し、非晶質のシリコン膜とする。更に、このシリコン膜に、例えば、エネルギー密度300mJ/cm²でレーザアニールによる高温短時間の熱処理を施し、不純物を活性化した多晶質シリコン膜17を形成する。この多晶質シリコン膜17は低不純物濃度のp型又はn型のシリコン膜である。なお、塗布膜の熱処理において、350℃程度の熱処理でも塗布膜中に結晶成分が認められるようになる。従って、塗布膜が熱処理により非晶質シリコン膜になるか多結晶シリコン膜になるかは定義に依存することになる。ここでは、450℃以上の熱処理により塗布膜の結晶性がある程度以上強くなることから、これを多結晶シリコン膜、450℃以下の熱処理の場合は非晶質シリコン膜と呼ぶことにする。

【0055】図3(c)に示すように、半導体膜17の上にストッパ絶縁膜18を形成する。ストッパ絶縁膜18は、例えば、シリコン酸化膜である。上述したように、ポリシラザンの溶液をスピンコートによって半導体膜17上に塗布し、塗布膜を形成する。この塗布膜を、例えば、80℃で加熱して溶剤を除去して固化し、次に、例えば、350℃で酸素を含む雰囲気下で熱処理を行って焼成し、シリコン酸化膜を得ることができる。このストッパ絶縁膜18の上にフォトレジスト19をスピンコートによって塗布し、プリバークして固化する。ガラス基板11の背面(図の下方)からゲート電極膜14をマスクとしてフォトレジスト19を露光する。このフォトレジスト19を現像し、露光部分を除去する。

【0056】それにより、図3(d)に示すように、ストッパ絶縁膜18上のゲート電極膜14の領域に相当する部分にフォトレジスト19が残る。この残存したフォトレジスト19をエッチングマスクとしてストッパ絶縁膜19をエッチングして除去する。

【0057】図3(e)に示すように、半導体膜17が露出し、この半導体膜17のゲート電極膜14に相当す

る領域にストッパ絶縁膜 18 及びフォトレジスト 19 が残る。この残存したストッパ絶縁膜 18 及びフォトレジスト 19 を分離膜 20 とする。

【0058】図 4 (a) に示すように、分離膜 20 の両側に不純物をドーブした半導体材料の塗布膜 21 を形成する。塗布膜 21 は、例えば、シリコンとボロン又はシリコンとリンを含む液体材料を液滴吐出法によって吐出し、分離膜 20 の両側の半導体膜 17 のソース領域及びドレイン領域をそれぞれ覆うように塗布することによって形成される。

【0059】例えば、シクロヘキサシランと三塩化リンを含むベンゼン溶液に 308 nm の紫外線を 15 分間照射して得られる高次シランの溶液を液滴吐出法によって分離膜 20 の両側に塗布して塗布膜 21 を形成する。

【0060】図 4 (b) に示すように、この塗布膜 21 に 80~200℃の温度、例えば、150℃の温度で熱処理（第 1 の熱処理）を行って塗布膜 21 から溶媒を除去して固化し、その後、分離膜 20 のフォトレジスト 19 を除去する。フォトレジスト 19 の耐熱温度は、通常、200℃程度である。

【0061】次に、図 4 (c) に示すように、塗布膜 22 に 350℃の熱処理（第 2 の熱処理）を施してドーブアモルファスシリコン膜 23 とする。更に、XeCl によるレーザアニール（第 3 の熱処理）を施し、シリコン膜を 23 を多結晶化させると共に、ドーブシリコン膜 22 からリンを下層のシリコン膜（半導体膜）17 に拡散させ、n 型の多結晶シリコンのソース領域 24 及びドレイン領域 25 を形成する。

【0062】なお、第 1 の熱処理によって塗布膜 21 から溶媒を除去して固化した後、塗布膜 22 に 450℃以上の温度で熱処理を行って多晶質シリコン膜 23 を形成し（第 2 の熱処理）、ドーブシリコン膜 22 からリンを下層のシリコン膜（半導体膜）17 に拡散させ、n 型の多結晶シリコンのソース領域 24 及びドレイン領域 25 を形成することとしても良い。

【0063】図 4 (d) に示すように、半導体膜 23 の上に層間絶縁膜 26 を形成する。層間絶縁膜 26 は、例えば、シリコン酸化膜である。シリコン酸化膜は、例えば、ポリシラザンの溶液をスピコートによって基板 11 上に塗布し、塗布膜を形成する。この塗布膜を 80℃で加熱して溶剤を除去して固化し、次に、350℃で酸素を含む雰囲気下で熱処理を行って焼成し、シリコン酸化膜を得ることができる。

【0064】この層間絶縁膜 26 の上にフォトレジストをスピコートによって塗布し、プリベークしてフォトレジスト膜 27 を形成する。

【0065】図 5 (a) に示すように、このフォトレジスト膜 27 に図示しないコンタクトホールマスクによって露光、現像を行ってエッチングマスクを形成する。このマスクを使用して層間絶縁膜 26 に異方性エッチン

グを行い、半導体膜 23 のソース領域 24 及びドレイン領域 25 にそれぞれコンタクト孔 26 a 及び 26 b を開口する。

【0066】図 5 (b) に示すように、図示しないソース及びドレインの電極端子のパターンのマスクでフォトレジスト 26 に追加露光を行い、現像してフォトレジスト 26 の開口部 27 a を広げる。

【0067】図 5 (c) に示すように、層間絶縁膜 26 のコンタクト孔 26 b 及びフォトレジスト 27 の開口部 27 a 内に、金属微粒子を含む液体材料を、例えば、液滴吐出法にて吐出し、塗布膜 28 を形成する。金属微粒子としては、銀、金、アルミニウム、インジウム、錫等が使用可能である。例えば、銀微粒子を含む塗布膜 28 を 80℃の熱処理によって溶剤を除去して固化する。

【0068】その後、図 5 (d) に示すように、フォトレジスト 13 を除去し、更に 300℃の熱処理によって塗布膜 28 を焼成し、ソース電極 29 及びドレイン電極 30 を形成する。

【0069】このようにして、液体材料を使用した薄膜トランジスタが作成される。なお、製造工程における液体材料などの熱処理の温度及び処理時間は材料に応じて適宜に選択する。また、図 4 (d) において、層間絶縁膜 26 を形成したが、工程を簡略化するため、図 10 に示すように、層間絶縁膜を形成しない方法もある。この場合は、金属微粒子を含む液体材料を用いて、インクジェット法にて塗布膜を形成し、熱処理してソース電極 29 及びドレイン電極 30 を形成することができる。

【0070】図 6 は、本発明の比較例を示している。この比較例は、液体材料を使用して作製される薄膜トランジスタの他の構造例（逆スタガのチャネルエッチ型）を示しており、同図において、図 5 (d) に示す薄膜トランジスタと対応する部分には同一符号を付している。

【0071】比較例は、チャネル領域を形成するシリコン膜 17 と、ソース領域 24 及びドレイン領域 25 を形成するドーブシリコン膜を連続的に形成し、ゲート電極 14 に対応する部分のドーブシリコン膜をエッチングし、チャネル保護膜、電極 29、30 を形成している。比較例ではソース領域 24 及びドレイン領域 25 を分離する分離膜を設けないため、ゲート電極 14 に対応するドーブシリコン膜をエッチングしなければならない。そのためにはゲート電極 14 とのパターン合わせ精度やドーブシリコン膜のエッチングでチャネル部のシリコン膜 17 をエッチングしないようにエッチング終点を厳密に制御しなければならないなどの課題を有する。

【0072】これに対して、本発明の構成では、分離膜 20（ストッパ絶縁膜 18、レジスト 19）を利用してソース／ドレイン領域となる不純物ドーブ半導体膜 21（あるいは 23）を自己整合的に形成する。このため、薄膜トランジスタのチャネル幅を狭く形成することが可能となる利点がある。

【0073】また、本発明の構成では、比較例とは異なってソース領域24及びドレイン領域25はゲート電極に対応した分離膜で規定されるため、ソース領域24及びゲート電極膜14間、あるいはドレイン領域25とゲート電極膜14間の寄生容量を低減することが可能となる利点がある。

【0074】図7は、本発明の他の実施の形態を説明する工程図である。同図において図2と対応する部分には同一符号を付している。

【0075】この例では、ゲート電極膜14を基板から突起(図2(c)参照)しないように、基板と平坦になるように形成している。

【0076】すなわち、図7(a)に示すように、ガラス基板11に下地絶縁膜12を形成し、更に、形成すべきゲート電極膜14と同じ厚さに絶縁膜12aを形成する。この上にフォトレジスト13を塗布する。

【0077】図7(b)に示すように、フォトレジスト13に図示しないゲート電極配線パターンを露光し、現像してエッチングマスクを形成する。このマスクを用いて絶縁膜を12aをエッチングしてゲート部分を開口する。この開口部内にゲート材料液を塗布し、固化し、焼成する。

【0078】それにより、図7(c)に示すように、絶縁膜12aと面一なゲート電極膜14を形成することが出来る。平坦な基板は正確な成膜に好都合である。

【0079】更に、図7(d)に示すように、絶縁膜12a及びゲート電極膜14の上にゲート絶縁膜15を平坦に形成することが出来る。この後は、図3(a)以降の工程を行う。図7に示した各製造工程においても、上述した液体材料を使用する事が可能である。

【0080】なお、上述した薄膜トランジスタの製造工程において、CVD法などの他の製造工程を適宜に組み合わせることが可能である。例えば、ゲート絶縁膜15とシリコン膜(半導体膜)17とをPECVD装置を用いて連続的に形成しても良い。これにより、ゲート絶縁膜の界面制御をプロセスパラメータによって行える利点がある。

【0081】また、絶縁基板11(又は11と12)に、予め、上記ゲート電極膜のパターンに対応して親液性の膜と撥液性の膜とを塗り分けた下地処理を施しておき、この上に液体の電極材料を液滴吐出法によって塗布して塗布膜を形成し、これに熱処理を加えてゲート電極膜14を焼成しても良い。

【0082】本発明の製造方法により得られた薄膜トランジスタは、液晶表示装置のスイッチング素子として、或いは有機EL(エレクトロルミネセンス)表示装置の駆動素子として利用することができる。このような応用において、透明電極が必要な場合は、インジウムとスズの有機酸化化合物を液体材料として利用することが出来る。

【0083】図8は、アクティブマトリクス方式で駆動する電気光学装置100の画素領域(表示パネル)111の回路構成図であり、各画素112は、電界発光効果により発光可能な発光層、それを駆動するための2つの薄膜トランジスタと保持容量から構成される。本発明により2つの薄膜トランジスタと薄膜トランジスタと構造的に類似している保持容量を形成することができる。走査線ドライバ115からは、選択信号線Vgpが各画素に供給されている。データ線ドライバ116からは、信号線Idata及び電源線Vddが各画素に供給されている。選択信号線Vgpと信号線Idataを制御することにより、各画素に対する電流プログラムが行われ、発光部による発光が制御される。

【0084】本発明の製造方法により得られた薄膜トランジスタは電気光学装置を備える各種の電子機器に適用可能である。図9(a)乃至同図(f)に電気光学装置を適用可能な電子機器の例を挙げる。

【0085】図9(a)は携帯電話への適用例であり、携帯電話230は、アンテナ部231、音声出力部232、音声入力部233、操作部234、及び本発明の電気光学装置10を備えている。このように本発明の電気光学装置10を携帯電話230の表示部として利用可能である。

【0086】同図(b)はビデオカメラへの適用例であり、ビデオカメラ240は、受像部241、操作部242、音声入力部243、及び本発明の電気光学装置10を備えている。このように本発明の電気光学装置は、ファインダーや表示部として利用可能である。

【0087】同図(c)は携帯型パーソナルコンピュータへの適用例であり、コンピュータ250は、カメラ部251、操作部252、及び本発明の電気光学装置10を備えている。このように本発明の電気光学装置は、表示部として利用可能である。

【0088】同図(d)はヘッドマウントディスプレイへの適用例であり、ヘッドマウントディスプレイ260は、バンド261、光学系収納部262及び本発明の電気光学装置10を備えている。このように本発明の電気光学装置は画像表示源として利用可能である。同図

(e)はリア型プロジェクターへの適用例であり、プロジェクター270は、筐体271に、光源272、合成光学系273、ミラー274、ミラー275、スクリーン276、及び本発明の電気光学装置10を備えている。このように本発明の電気光学装置は画像表示源として利用可能である。同図(f)はフロント型プロジェクターへの適用例であり、プロジェクター280は、筐体282に光学系281及び本発明の電気光学装置10を備え、画像をスクリーン283に表示可能になっている。このように本発明の電気光学装置は画像表示源として利用可能である。

【0089】上記例に限らず本発明の電気光学装置10

は、アクティブマトリクス型の表示装置を適用可能なあらゆる電子機器に適用可能である。例えば、表示機能付きファックス装置、デジタルカメラのファインダ、携帯型TV、DSP装置、PDA、電子手帳、電光掲示板、宣伝広告用ディスプレイなどにも活用することができる。

【0090】以上説明したように、本発明の実施例によれば、イオン注入装置、真空装置、プラズマ装置、CVD装置、スパッタ装置などの大型の装置を必要としないで、デバイスを製造することが可能となる。それにより、製造コストを低下させることが可能である。

【0091】また、ストップ絶縁膜を利用してドーブリコン液を塗布し、ソース領域及びドレイン領域を自己整合的に形成できるので、ソース領域及びゲート電極膜、あるいはドレイン領域とゲート電極膜間の寄生容量を低減することが可能となる。

【0092】また、実施例の構成では、トランジスタのゲート電極膜を半導体膜の下部に配置し、半導体膜の上部に配置されたストップ絶縁膜の両側にソースドレインを自己整合的に形成するので、ストップ絶縁膜によってチャンネル幅を実質的に決定することが可能であり、チャンネル長を短くした薄膜トランジスタを得ることが容易となる。

【0093】なお、本発明の実施例においては、大気圧雰囲気中での基板処理を可能とするために液体材料をなるべく使用してデバイスを製作している。これは、全ての製造プロセスでの液体材料の使用を義務づけるものと解すべきではない。半導体の製造者が通常備えている

(液体材料を使用するものではない) 製造設備を該当する製造プロセスに適宜に使用することが可能である。また、必要な成膜の条件を満たすために現時点でより特性の良い結果が得られる製造プロセスを各工程において適宜に選択することが可能である。また、液体材料による塗布膜形成と熱処理工程において、薄膜の酸化を防止するため、酸素を排除した雰囲気中で処理することが望ましい場合もある。

【0094】また、半導体膜としては、シリコン膜のみならず、種々のものが使用可能である。

【0095】

【発明の効果】以上説明したように、本発明のデバイスの製造方法においては、液体材料を部分的にあるいは全

面的に使用してデバイスを製造するので、真空やプラズマなどの特殊な雰囲気下で基板を処理する高価な製造装置の使用をなるべく回避してより安価にデバイスを提供することが可能となる。また、材料の使用効率が高く、廃棄されるものが少ないので環境負荷を低減することが可能となる。また、分離膜を利用してソース/ドレイン領域となる不純物ドーパ半導体膜を自己整合的に形成する。このため、薄膜トランジスタのチャンネル幅の狭小化や寄生容量の低減が可能となる。

【図面の簡単な説明】

【図1】図1は、本発明のデバイスの構成例を説明する説明図である。

【図2】図2は、本発明の製造工程を説明する工程図である。

【図3】図3は、本発明の製造工程を説明する工程図である。

【図4】図4は、本発明の製造工程を説明する工程図である。

【図5】図5は、本発明の製造工程を説明する工程図である。

【図6】図6は、比較例の薄膜トランジスタを説明する説明図である。

【図7】図7は、本発明の他の実施例を説明する工程図である。

【図8】図8は、本発明に係るデバイスを使用した有機EL表示装置の例を説明する説明図である。

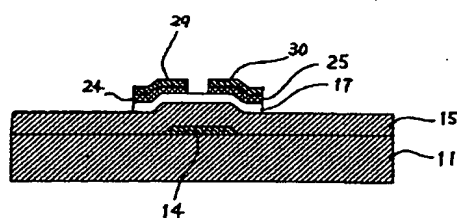
【図9】図9は、本発明に係るデバイスを使用した電気光学装置を含む電子装置の例を説明する説明図である。

【図10】図10は、本発明のデバイスの他の構成例を説明する説明図である。

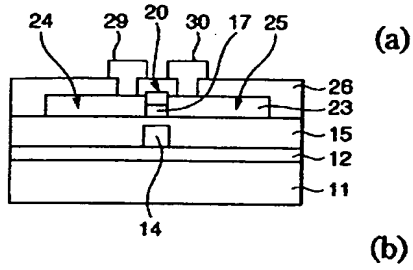
【符号の説明】

- 11 絶縁基板
- 14 ゲート電極膜
- 15 ゲート絶縁膜
- 17 半導体膜
- 18 絶縁膜
- 19 フォトリソ
- 20 分離膜
- 21 不純物ドーパ半導体膜
- 24 ソース領域
- 25 ドレイン領域

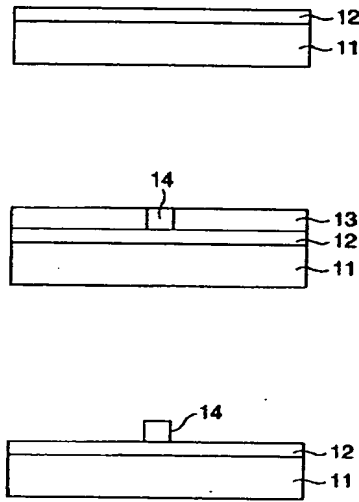
【図6】



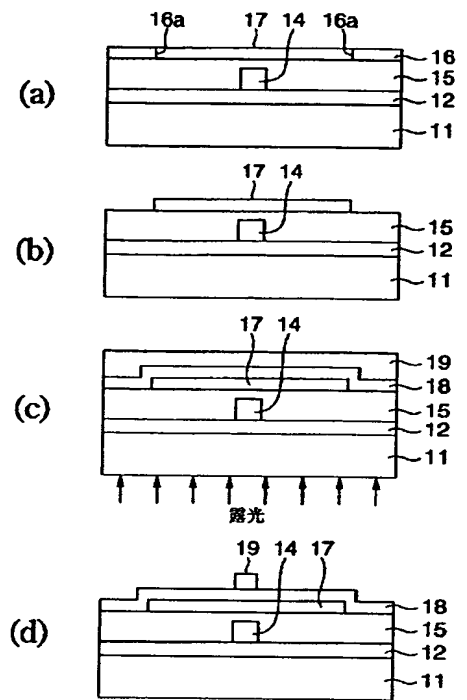
【図 1】



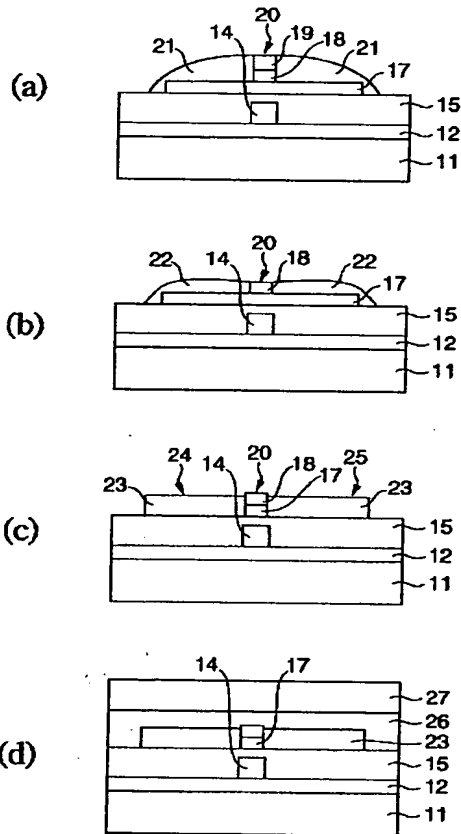
【図 2】



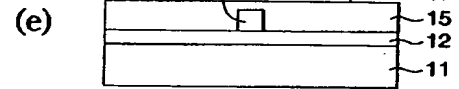
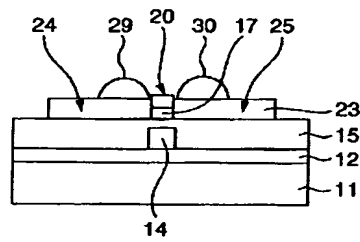
【図 3】



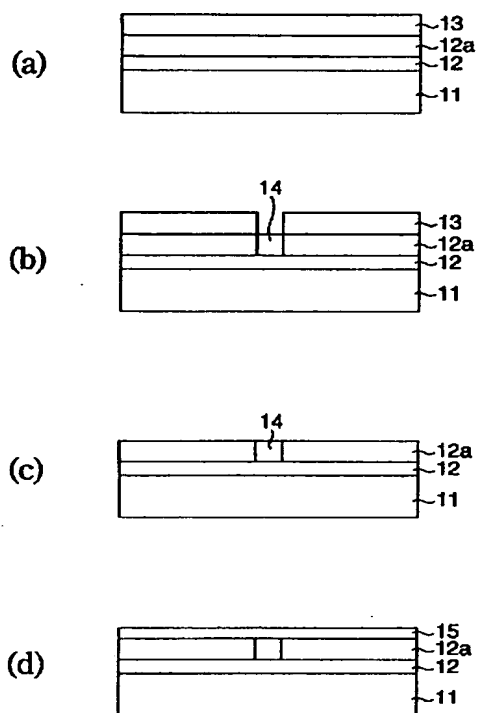
【図 4】



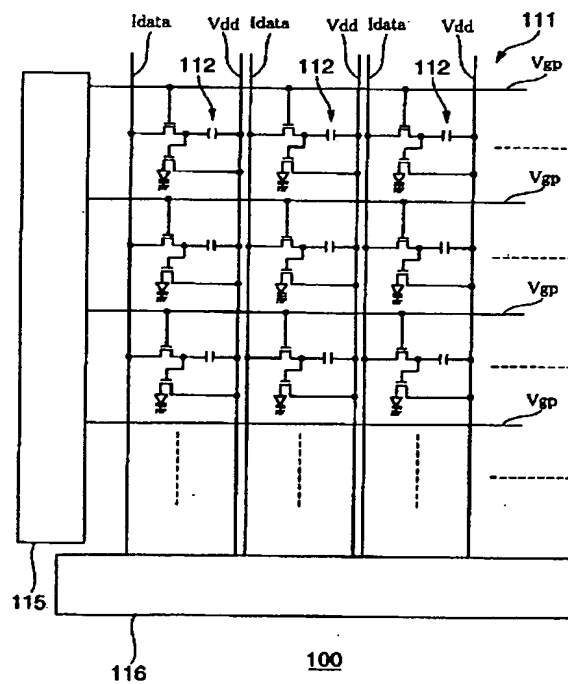
【図 10】



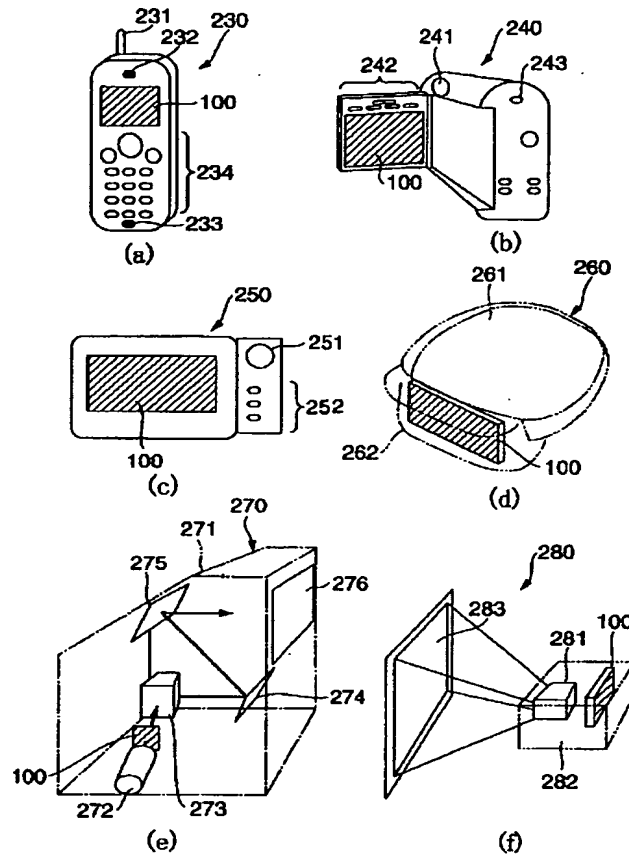
【图 7】



【図 8】



【図 9】



フロントページの続き

(51) Int. Cl.⁷
H 0 1 L 29/786

識別記号

F I
H 0 1 L 29/78

テマコード (参考)

6 1 7 J
6 1 7 V
6 1 9 A
6 1 6 L
6 2 7 G
6 1 6 K

(72) 発明者 青木 敬
長野県諏訪市大和 3 丁目 3 番 5 号 セイコ
ーエプソン株式会社内

F ターム(参考) 2H092 JA26 JA32 KA04 KA05 KA07
KA10 KA12 KA18 MA15 MA22
MA30 MA41 NA23 NA27
4M104 AA09 BB01 BB04 BB08 BB09
BB40 CC05 DD51
5F052 AA02 BB07 DA02 DB09 JA01
5F053 AA50 DD01 FF01 GG03 HH05
JJ01 JJ03 KK03 KK10 LL10
PP03 RR20
5F110 AA02 AA16 AA17 BB01 CC08
DD02 DD13 EE02 EE03 EE09
EE41 EE42 EE48 FF02 FF21
FF27 FF29 FF30 FF36 GG02
GG13 GG32 GG41 GG42 GG44
GG45 GG58 HJ01 HJ16 HJ23
HK09 HK25 HK31 HK32 HK42
HL02 HL03 HL21 HL22 HL27
NN02 NN12 NN23 NN36 NN40
NN72 PP02 PP03 PP27 QQ09
QQ12

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.